

**NEURON MOS CIRCUIT OF LOW POWER CONSUMPTION**

Patent Number: JP2000349619  
Publication date: 2000-12-15  
Inventor(s): AOYAMA KAZUO  
Applicant(s): NIPPON TELEGR & TELEPH CORP  
Requested Patent: JP2000349619  
Application Number: JP19990154006 19990601  
Priority Number(s):  
IPC Classification: H03K19/0944  
EC Classification:  
Equivalents: JP3560849B2

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To suppress the through current that is generated in a static state of a neuron MOS and to attain low consumption of power by controlling the potential of a floating gate of a neuron MOS transistor by means of an input potential detection control circuit, a floating gate control circuit, etc.

**SOLUTION:** An input potential detection control circuit 102 detects an input potential and controls the operating state of a neuron MOS transistor(Tr) An output potential detection control circuit 104 detects the output potential of the neuron MOS Tr and feeds back this detected potential to control the operating state of the neuron MOS Tr. In a MOS circuit including the neuron MOS Tr, the potential of a floating gate of the neuron MOS Tr is controlled via at least one of the circuits 102 and 104 and a floating gate control circuit 103 and the through current flowing to the ground from a power supply is suppressed.

---

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349619

(P2000-349619A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl.<sup>7</sup>

H 0 3 K 19/0944

識別記号

F I

H 0 3 K 19/094

テーマコード(参考)

A 5 J 0 5 6

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願平11-154006

(22) 出願日 平成11年6月1日(1999. 6. 1)

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(72) 発明者 青山 一生

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(74) 代理人 100068353

弁理士 中村 純之助 (外2名)

Fターム(参考) 5J056 AA00 BB17 BB19 CC00 DD13

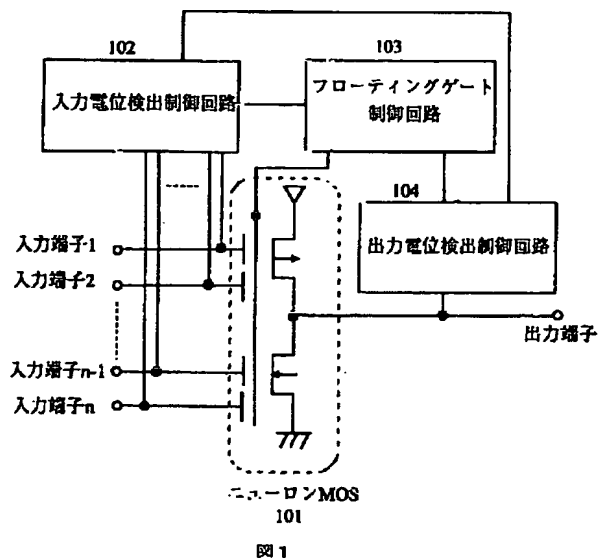
DD28 EE07 FF10 KK01

(54) 【発明の名称】 低消費電力型ニューロンMOS回路

(57) 【要約】

【課題】ニューロンMOSTランジスタ(以下NMT)を用いた多入力信号処理回路において、過渡状態のみならず静的状態においてもフローティングゲートに起因する貫通電流が生じ、これが不要な消費電力となっていた。この貫通電流を抑制することにより低消費電力のニューロンMOS回路を提供する。

【解決手段】第1の方法は、静的状態でNMTの入力端子電位を該NMTの出力電位の逆相電位に固定し、貫通電流を抑える。第2の方法は、静的状態においてNMTのフローティングゲート電位を該NMTの出力電位の逆相電位に固定し、貫通電流を抑制する。第3の方法は、静的状態においてNMTの出力電位を該NMTの出力端子に接続された順序回路に取り込み保持し、該NMTの電源への接続端子とグランドへの接続端子の少なくとも一方を解放し、貫通電流の経路を無くすことにより、貫通電流を抑制する。



## 【特許請求の範囲】

【請求項1】ニューロンMOSトランジスタを含むMOS回路において、入力電位検出制御回路、出力電位検出制御回路、フローティングゲート制御回路の少なくとも一つの回路を用いて、上記ニューロンMOSトランジスタのフローティングゲートの電位を制御することにより、上記ニューロンMOSトランジスタに生じる電源からグラウンドへの貫通電流を抑制することを特徴とする低消費電力型ニューロンMOS回路。

【請求項2】請求項1記載のフローティングゲート制御回路において、入力電位検出制御回路の代わりに、ニューロンMOSトランジスタで処理される第1の信号に同期する第2の信号を発生する手段を有し、該第2の信号と出力電位検出制御回路の出力信号により、上記フローティングゲート制御回路を動作させる手段を有することを特徴とする低消費電力型ニューロンMOS回路。

【請求項3】ニューロンMOSトランジスタを含むMOS回路において、該ニューロンMOSトランジスタの出力状態を順序回路に取り込み、該出力状態を用いて次段以降に該出力状態を伝達し、上記ニューロンMOSトランジスタ自体は電源及びグラウンドから開放し、上記貫通電流の経路を無くすことにより消費電力を抑制することを特徴とする低消費電力型ニューロンMOS回路。

【請求項4】ニューロンMOSトランジスタを含むMOS回路において、該ニューロンMOSトランジスタで構成される回路の出力端子に接続された出力電位検出回路により制御される入力端子切り替え回路を有し、該入力切り替え回路から出力される信号により多入力端子の全ての端子を同一電位に設定する手段を有し、これにより上記貫通電流を抑制することを特徴とする低消費電力型ニューロンMOS回路。

【請求項5】ニューロンMOSトランジスタを含む請求項3記載のMOS回路において、該ニューロンMOSトランジスタの出力状態を順序回路に取り込み、かつ該出力状態を用いて次段以降に該出力状態を伝達する動作の制御およびニューロンMOSトランジスタ自体の電源又はグラウンドを接続および開放するための制御信号を生成する入力電位検出手段を入力端子に設けたことを特徴とする請求項3に記載の低消費電力型ニューロンMOS回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ニューロンMOSトランジスタで構成されたMOS回路に係わり、特に低消費電力を指向したニューロンMOS回路に関するものである。

## 【0002】

【従来の技術】多入力信号の積和演算と閾値論理処理を単体デバイスで行うことが可能であるニューロンMOSトランジスタが提案されている。例として、文献1「T

adashi Shibata and Tadahiro Ohmi, A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations, IEEE Transactions on Electron Devices, Vol. 39, No. 6, pp. 1444-1455, 1992」がある。文献1より抜粋した、ニューロンMOSトランジスタの概念図を図18に示す。図18に示すように、複数の入力ゲートの容量とその各々に加わる電圧の積より求まる電荷量の和によってフローティングゲートに誘起される電荷量が、ある値に達するとMOSトランジスタの閾値電圧を越えるゲート電圧が加わり、チャネルが形成され、トランジスタが導通状態となる。NMOSトランジスタの場合を例にとると、この動作原理からニューロンMOSトランジスタは静的状態で以下に示す2つのモードでリーク電流が発生することが判る。第1のモードは、多入力であるために、多入力の全てがlow levelでない場合はフローティングゲートとチャネル間の電圧（以降、ゲート電圧と呼ぶ）が完全にlow levelにはならずリーク電流すなわち貫通電流が流れるモードである。第2のモードは、多入力の全てがlow levelの場合でさえも、フローティングゲートが予めプリチャージされておらずフローティングである場合は、high level信号の入力端子の容量和と、フローティングゲートとチャネル間の容量（以降、ゲート容量と呼ぶ）の容量比の逆数でhigh levelの電圧が分割されるために、ゲート電圧は完全にlow levelにはならず、リーク電流すなわち貫通電流が発生するモードである。通常NMOSトランジスタの閾値電圧以下の電圧領域ではサブスレッショルド電流が流れ、その特性は80mv/decade（0.08vゲート電圧が変化すると電流が1桁変化する）であり、第2のモードもトランジスタが集積化された場合、重要であることが判る。以降、この2つのモードで流れる電流を併せて貫通電流と呼ぶ。

【0003】また、このニューロンMOSトランジスタは標準的なCMOS構成をとることも可能であり、標準的なCMOS回路と混載されMOS集積回路の一部を構成することも可能である。例として、図19(a)にCMOSインバータに類似の構造を持つ3入力の場合のニューロンMOS回路（以降、ニューロンMOSインバータと呼ぶ）を示す。図19(a)のニューロンMOSインバータの容量だけに着目した場合を図19(b)に示す。この回路図から分かるように、フローティングゲート電位 $V_f$ は、

【0004】

【数1】

数1]

$$V_f = \frac{\sum_{i=0}^4 (C_i V_i)}{\sum_{i=0}^4 (C_i)}$$

【0005】となる。通常、 $V_0$ は電源電位( $V_{dd}$ )、 $V_4$ はグランド電位(0)であり、 $V_0 \neq V_4$ が成り立つ。このため、如何なる容量であれ、 $0 < V_f < V_{dd}$ であり、中間電位を採ることが判る。図19(a)に示すように、NMOSTランジスタおよびPMOSTランジスタの閾値電圧を各々 $V_{thn}$ 、 $V_{thp}$ とすると、 $0 < V_f \leq V_{thn}$ と $V_{dd} + V_{thp} \geq V_f < V_{dd}$ の電圧領域では先に説明した第2のモードで電流が流れ、各々、NMOS、PMOSTランジスタのサブスレッショルド電流が流れることになる。また、 $V_{thn} < V_f < V_{dd} + V_{thp}$ の電圧領域では第1のモードで電流が流れ、NMOSTランジスタ、PMOSTランジスタの両方が同時に導通状態になり貫通電流が流れることになる。例として、図19(a)の回路において入力端子5101と5102に時間依存電圧波形を入力し、入力端子5103は常にグランド電位に固定した場合の回路シミュレーション結果を図20、図21に示す。図20からフローティングゲートが中間電位をとることが判る。また、予め0Vにプリセットしてあるために、入力端子の電位が全てグランド電位に等しい時にはフローティングゲートも0Vになっている。図21に図20の電圧波形が入力された場合の電源から流れ出る電流波形を示した。標準的なCMOSインバータの場合はPMOSTランジスタが導通状態になる時のスイッチング時にだけスパイク波形の電流が流れるが、このニューロンMOSインバータの場合は静的状態において、貫通電流が流れていることが判る。スイッチングの頻度が低いまたは動作周波数が低い場合は、特にこの貫通電流のために消費電力の増大を招くことになる。

【0006】

【発明が解決しようとする課題】ニューロンMOSTランジスタにより構成されるMOS回路では、フローティングゲートによりMOSTランジスタの動作が制御されるために、上記で示したように原理的に静的状態において貫通電流が発生し、消費電力が増大するという問題があった。

【0007】本発明は、ニューロンMOS回路における静的状態で発生する貫通電流を抑制し、低消費電力化を実現する回路を提供することを目的としている。

【0008】

【課題を解決するための手段】上記問題点を解決するために、本発明においては以下の構成とした。

【0009】請求項1においては、ニューロンMOSTランジスタを含むMOS回路において、入力電位を検出してニューロンMOSTランジスタの動作状態を制御する入力電位検出制御回路、およびニューロンMOSTランジスタの出力電位を検出し、これをフィードバックすることにより同じくニューロンMOSTランジスタの動作状態を制御するための出力電位検出制御回路およびフローティングゲート制御回路の少なくとも一つの回路を用いて、上記ニューロンMOSTランジスタのフローティングゲートの電位を制御し、これにより、上記ニューロンMOSTランジスタに生じる電源からグランドへの貫通電流を抑制する構成とした。

【0010】請求項2においては、請求項1に記載したフローティングゲート制御回路において、入力電位検出制御回路を使用せず、ニューロンMOSTランジスタで処理される第1の信号に同期する第2の信号を発生する手段を有し、この第2の信号と出力電位検出制御回路の出力信号とにより、上記フローティングゲート制御回路を動作させることにより貫通電流を抑制する構成としている。

【0011】請求項3においては、ニューロンMOSTランジスタを含むMOS回路において、このニューロンMOSTランジスタの出力状態を順序回路に取り込み、この出力状態を用いて次段以降にこの出力状態を伝達し、これにより上記ニューロンMOSTランジスタ自体は電源及びグランドから開放し、上記貫通電流の経路を無くす構成としている。

【0012】さらに、請求項4においては、ニューロンMOSTランジスタを含むMOS回路において、このニューロンMOSTランジスタで構成される回路の出力端子に接続された出力電位検出回路により制御される入力端子切り替え回路と、この入力切り替え回路から出力される信号により多入力端子の全ての端子を同一電位に設定する回路とを有し、これにより上記貫通電流を抑制する構成としている。

【0013】

【発明の実施の形態】本発明の実施の形態の基本構成は大別して3つに分類することができる。先ず最初は、複数入力端子全ての電位を出力端子の電位に応じて、電源電位又はグランド電位のどちらか一方に固定する方法である。この方法では、ニューロンMOS回路のNMOSTランジスタ、PMOSTランジスタの同時に導通状態の発生による貫通電流を抑制することが可能となる。2番目は、出力端子の電位に応じて、フローティングゲートを電源電位又は、グランド電位のどちらかに固定する方法である。この方法では最初の方法で抑制される貫通電流と、フローティングゲートがNMOSTランジスタ、PMOSTランジスタの閾値電圧以下の中間電位の状態で発生するサブスレッショルド電流による貫通電流も抑制することが可能となる。3番目は、静的状態にな

った時に、出力電位検出制御回路に含まれる順序回路に、ニューロンMOS回路の出力電位を取り込み、電位が電源電圧とグランド電位の中間電位である場合は同じ論理を構成出来る電源電位かグランド電位のどちらかに電位を調整して保持し、次段以降の回路にはその保持した電位を伝達し、ニューロンMOS回路を電源から開放する方法である。この方法では真に開放状態が実現された場合、静的状態においてニューロンMOS回路には電流が流れず、その期間においては消費電力をゼロとすることが可能となる。

【0014】〔第1の実施の形態〕本発明の第1の実施の形態である低消費電力型3入力ニューロンMOS回路200を図2に示す。入力端子201、202、203の電位が変化する過渡的状態の時は、NMOSTランジスタ254とトランスマッションゲート（以降、TGと略す。）TG3（253）を共に遮断状態にしフローティングゲート210をフローティングの状態にする。入力端子201、202、203の電位が固定され静的状態になった時、TG1（251）を導通状態とし、同時にTG2（252）を、TG1（251）を制御する信号の逆相信号により遮断状態とする。この状態で、ニューロンMOSインバータの出力端子211の電位がhigh levelの場合はNMOSTランジスタ254が導通状態となり、フローティングゲート210はグランド電位になる。逆に、ニューロンMOSインバータの出力電位がlow levelの場合はNMOSTランジスタ254は遮断状態となり、フローティングゲート210はグランドから切断された状態となる。一方、インバータ255で反転された電位は導通状態となっているTG3（253）によりフローティングゲート210に伝達され、このゲート210をhigh levelに固定される。したがって、静的状態においてはこれらの帰還を介して、ニューロンMOSインバータの出力電位がhigh levelの場合は、フローティングゲート210の電位はlow levelに固定され、ニューロンMOSインバータの出力電位がlow levelの場合は、フローティングゲート210の電位はhigh levelに固定される。この動作により、静的状態においてフローティングゲート210は電源電位又は、グランド電位のいずれかに固定されることになる。この回路の動作を回路シミュレーションで検証した結果を次に示す。入力端子201と202には電源電位とグランド電位の間で変化する同じ信号波形を入力し、入力端子203はグランド電位に固定した。図3に入力電位波形201、ニューロンMOSインバータの出力端子211の電位波形、バッファの出力端子221の電位波形を示す。これより正常に論理動作することが判る。図4には入力電位波形201、TG1（251）の制御信号波形、フローティングゲート210の電位波形を示した。これより、フローティングゲートが静的状態で電源

電位あるいはグランド電位に固定されることが判る。図5には図2の回路200で消費される電流波形を示した。図21で示した静的状態における貫通電流が抑制されていることが知れる。

【0015】〔第2の実施の形態〕本発明の第2の実施の形態の一例を図6に示す。入力端子501はTG1（580）に接続され、TG1（580）の出力端子511は、ニューロンMOSインバータの出力端子551の逆相信号を生成するCMOSインバータ552の出力端子561を入力端子に持つTG2（590）の出力端子に接続されている。また、TG1（580）とTG2（590）は逆相信号で制御されている。他の入力端子502、503についても同様の構造をとる。また、フローティングゲート550は初期電位設定のために、リセット端子530により制御されるNMOSTランジスタ531に接続されている。このNMOSTランジスタ531は時刻0において、リセット信号により導通状態となり動作時は常時遮断状態とし、フローティングゲートをグランドから開放する。入力端子501の電位が変化する過渡状態では、TG1（580）を導通状態、TG2（590）を遮断状態とし、他の入力端子502、503についても同様に操作し、ニューロンMOSインバータの出力端子551における電位を入力端子501、502、503の電位により決定する。入力端子電位の変化が終了し、静的状態になった時に、TG1（580）を遮断状態、TG2（590）を導通状態にし、入力電位であるTG1（580）の出力端子511の電位をニューロンMOSインバータの出力電位の逆相信号に固定する。他の入力端子502、503についても同様の動作をさせる。この動作により、静的状態においてはニューロンMOSインバータの複数入力端子の全てがニューロンMOSインバータの出力端子電位の逆相信号に固定される。この回路の動作を回路シミュレーションで検証した結果を次に示す。図7は3入力端子の501、502に電源電位とグランド電位の間で変化する同じ信号波形を入力し、入力端子503をグランド電位に固定した場合で、TG1（580）のNMOSTランジスタの制御端子541、フローティングゲート550、入力端子501の各電位を示す。入力端子501が電源電位の時に、静的状態でフローティングゲートは完全には電源電位にはならない。これが先に説明したフローティングゲートの効果である。図7の電圧状態における電流波形を図8に示す。図7では静的状態においてフローティングゲートが電源電位に一致しないことが判ったが、この電圧がトランジスタの閾値電圧以下であるために、貫通電流は先に説明した第2のモードのみであり、第1のモードの貫通電流が抑制されていると言える。

【0016】図6の回路と同様の原理で動作する、帰還回路と入力端子制御回路が異なるものとして図9に示す回路が考えられる。回路を初期化するために、PMOS

691、NMOS690、フローティングゲート650の3つのゲートは、TG0(671)を初期状態で導通状態、動作時に遮断状態にすることによって制御される。入力端子601、602、603の電位が変化している時はTG1を導通状態、TG2を遮断状態にする。このことにより、ニューロンMOSインバータの出力端子651の電位は複数入力端子の電位により決まる。静的状態の時には、TG1を遮断状態とし、TG2を導通状態にする。ニューロンMOSインバータの出力端子651に接続されるTG3はTG2と同期して動作する。また、NMOSTランジスタ690のゲートに接続されるTG4とニューロンMOSインバータの間のDINVを構成する2つのCMOSインバータは、TG4がPMOSTランジスタ691に接続されているTG3に対してある遅延時間を持って動作させるためにある。静的状態において、ニューロンMOSインバータの出力端子651の電位がhigh levelの場合は、TG3を介してPMOSTランジスタ691が遮断状態になり、NMOSTランジスタ690が導通状態となり、ニューロンMOSインバータの入力容量に接続されているTG2により、全ての入力端子がlow levelに固定される。ニューロンMOSインバータの出力端子651の電位がlow levelの場合は、PMOSTランジスタ691が導通状態となり、NMOSTランジスタ690が遮断状態となり、全ての入力端子がhigh levelに固定される。この動作により、静的状態では、ニューロンMOSインバータの出力端子電位の逆相電位で全ての入力端子が固定されることになり、貫通電流を抑制することが可能となる。

【0017】〔第3の実施の形態〕本発明の第3の実施形態の一例を図10に示す。3入力端子を持つニューロンMOSインバータであり、ニューロンMOSインバータ出力側のPMOSTランジスタと電源の間にPMOSTランジスタ452、同様にニューロンMOSインバータ出力側のNMOSTランジスタとグランドの間にNMOSTランジスタ451が接続されている。また、フローティングゲート410の初期電位は、フローティングゲートとグランドに接続され制御端子441を持つNMOSTランジスタ450により制御される。入力端子が変化する過渡状態では、PMOSTランジスタ452及びNMOSTランジスタ451を導通状態にし、ニューロンMOSインバータを動作させる。この時、ニューロンMOSインバータの出力端子411に接続されているラッチ回路470中で出力端子411に直接接続されているトランSMIッションゲートTG1は導通状態、フィードバックループを形成するTG2は遮断状態にされている。入力端子の電位変化が終了し、静的状態になる時、ニューロンMOSインバータに接続されているPMOSTランジスタ452とNMOSTランジスタ451は遮断状態にされ、同時にラッチ回路470の入力部分

のTG1も遮断状態にされる。この時のニューロンMOSインバータの出力端子411の電位はラッチ回路470に保持され、電源電位又は、グランド電位のどちらかになるように波形整形される。このラッチ回路470の出力電位がバッファ420により出力端子415に出力される。この動作原理より、静的状態においては、ニューロンMOSインバータは電源及びグランドから開放されており貫通電流経路を持たないことになり、貫通電流を抑制することが可能となる。この回路の動作を回路シミュレーションで検証した結果を次に示す。3入力端子の401、402に電源電位とグランド電位の間で変化する同じ信号波形を入力し、入力端子403をグランド電位に固定する。図11に入力端子401、ラッチ回路470中の端子412、バッファ出力端子415の電位波形を示す。入力端子401の電位が電源電位の場合には、ニューロンMOSインバータの出力端子411の電位をフィードバックループに取り込む端子412の電位がグランド電位になっており、更にバッファの出力端子415から整形された電位波形が正常に出力されることが判る。逆相電位の場合も同様である。図12には、ニューロンMOSインバータのPMOSTランジスタを電源に接続するPMOSTランジスタ452を制御する端子430、ニューロンMOSインバータ出力端子411、ラッチ回路470中の端子412、入力端子401の電位波形を示す。PMOSTランジスタ452の制御端子430がlow levelの場合にニューロンMOSインバータは動作しており、high levelの場合は電源及びグランドから開放されている。制御端子430がhigh levelの場合、ニューロンMOSインバータ出力端子411の電位は中間電位となるが、ラッチ回路470中の端子412はニューロンMOSインバータの入力端子401の逆相電位になり、正常動作することが分かる。図13にはラッチ回路を含む図10に示される回路で消費される電流波形を示す。過渡状態であるスイッチング時のみ電流が流れており、静的状態では貫通電流が存在しないことが判る。

【0018】図10の回路と同様の動作原理であるが、ニューロンMOSインバータを電源及びグランドから開放するタイミングとラッチ動作のタイミングを入力端子の電位変化を検知し、制御信号を発生する回路を有する非同期式回路を図14に示す。回路構成は図10の回路に入力電位検出回路740を接続したものである。入力電位検出回路740の動作について入力端子の一つ701を例にして説明する。入力端子701を2つに分岐し、片方を遅延時間生成用抵抗704に接続、CMOSインバータ705に接続する。ここで、遅延時間生成用抵抗704は構造的に実抵抗でも良いし、トランSMIッションゲートのゲート電位を制御することで抵抗としたものでも良いことは言うまでもない。CMOSインバータ705の出力端子750をパルス生成回路XOR回路

706に接続する。ここで、XOR回路としては図中706で示した回路以外のものでも良い。図中XOR回路706のCMOSインバータ707、708は遅延時間制御用である。入力端子701に信号が入ると、2つに分岐され、一方はある遅延時間を持つ逆相信号に変換され、元の信号と排他的論理処理が行われる。ある遅延時間内に2つの信号が逆相である場合、すなわち、入力信号が変化しない場合は、XOR回路706の出力はhigh levelになり、ある遅延時間内に2つの信号が同相である場合、すなわち、入力信号が変化している場合は、XOR回路706の出力はlow levelになる。他の入力端子でも同様の処理を施し、それら全てを多入力NAND回路709に入力する。この時、入力端子の内一つでも信号が変化している端子が存在すれば、多入力NAND回路709の出力電位はhigh levelになり、バッファ710の出力はlow levelになる。バッファ710の出力端子720とその前後の出力端子730はニューロンMOSインバータ開放用トランジスタ(図10におけるPMOSTランジスタ452とNMOSTランジスタ451に相当)の制御端子、およびラッチ回路のトランスミッションゲート(図10におけるTG1とTG2に相当)の制御端子に接続されている。この回路の動作を回路シミュレーションで検証した結果を次に示す。3入力端子の701、702に電源電位とグランド電位の間で変化する同じ信号波形を入力し、703をグランド電位に固定する。また初期状態において、プリチャージによりニューロンMOSインバータのフローティングゲートをグランド電位に設定する。図15に入力端子701、ニューロンMOSインバータの出力端子751、ラッチ回路入力端子752の電位波形を示す。入力端子701の電位がhigh levelに固定され、ニューロンMOSインバータが電源及びグランドから開放されると、ニューロンMOSインバータの出力端子751は中間電位に固定されるが、ラッチ回路入力端子752の電位はlow levelまで変化し固定されることが判る。次に、入力電位検出回路740の出力端子であり、ラッチ回路の制御端子でもある720の電位波形を図16に示す。入力端子701とCMOSインバータ705の出力端子でもある750の電位が過渡状態にある時刻から遅延時間の後に、入力電位検出回路740の出力端子720の出力電位がhigh levelからlow levelへ変化することが判る。この回路全体の消費電流波形を図17に示す。静的状態において貫通電流が抑制されていることが判る。

【0019】

【発明の効果】以上詳細に説明したように、本発明の低消費電力型MOS回路によれば、ニューロンMOSTランジスタで構成された回路に発生し得る貫通電流を抑制し、MOS回路の消費電力を抑制することができる。

【図面の簡単な説明】

【図1】低消費電力型ニューロンMOS回路構成図。

【図2】フローティングゲート制御型ニューロンMOS回路図。

【図3】フローティングゲート制御型ニューロンMOS回路の入出力信号波形図。

【図4】フローティングゲート制御型ニューロンMOS回路の制御信号波形図。

【図5】フローティングゲート制御型ニューロンMOS回路の電流波形図。

【図6】入力端子制御型ニューロンMOS回路図。

【図7】入力端子制御型ニューロンMOS回路制御信号波形図。

【図8】入力端子制御型ニューロンMOS回路電流波形図。

【図9】入力端子制御型ニューロンMOS回路図。

【図10】ニューロンMOSTランジスタ開放型ニューロンMOS回路図。

【図11】ニューロンMOSTランジスタ開放型ニューロンMOS回路入出力信号波形図。

【図12】ニューロンMOSTランジスタ開放型ニューロンMOS回路制御信号波形図。

【図13】ニューロンMOSTランジスタ開放型ニューロンMOS回路電流波形図。

【図14】非同期式ニューロンMOS回路図。

【図15】非同期式ニューロンMOS回路入出力信号波形図。

【図16】非同期式ニューロンMOS回路制御信号波形図。

【図17】非同期式ニューロンMOS回路電流波形図。

【図18】ニューロンMOSTランジスタ構造概念図

【図19】ニューロンMOSインバータ回路図。

【図20】ニューロンMOSインバータ入出力電圧波形図。

【図21】ニューロンMOSインバータ電流波形図。

【符号の説明】

101：ニューロンMOS

102：入出力電位検出制御回路

103：フローティングゲート制御回路

104：出力電位検出制御回路

200：フローティングゲート制御ニューロンMOSインバータ

201、202、203：入力端子

210：フローティングゲート

211：ニューロンMOSインバータ出力端子

221：バッファ出力端子

231、241：トランスミッションゲート制御端子

251フィードバック用トランスミッションゲート

252：プリチャージ制御及びフローティングゲート切断のためのトランスミッションゲート

253: フローティングゲート電荷注入用トランSMissionゲート  
 254: プリチャージとフローティングゲートを接地するためのNMOSTランジスタ  
 255: CMOSインバータ  
 501、502、503: 入力端子  
 511、512、513: 入力容量に接続された端子  
 530: フローティングゲートリセット用NMOSTランジスタ制御端子  
 531: NMOSTランジスタ  
 541: トランSMissionゲート制御信号端子  
 550: フローティングゲート  
 551: ニューロンMOSインバータ出力端子  
 561: CMOSインバータ出力端子  
 571: バッファ出力端子  
 580: 入力端子用トランSMissionゲートTG1  
 590: 入力電位固定用トランSMissionゲートTG2  
 601、602、603: 入力端子  
 631、641: トランSMissionゲート制御信号端子  
 650: フローティングゲート  
 651: ニューロンMOSインバータ出力端子  
 652: バッファ出力端子  
 661: 入力端子電源電位固定用PMOSTランジスタ制御端子  
 671: 入力端子グランド電位固定用NMOSTランジスタ制御端子  
 681、682: 初期電位設定用トランSMissionゲート制御信号端子  
 690: 入力端子グランド電位固定用NMOSTランジスタ  
 691: 入力端子電源電位固定用PMOSTランジスタ  
 401、402、403: 入力端子  
 410: フローティングゲート

411: ニューロンMOSインバータ出力端子  
 412: ラッチ入力端子  
 413: バッファ入力端子  
 414: ラッチ帰還端子  
 415: バッファ出力端子  
 420: 出力バッファ  
 430、440: ニューロンMOSインバータ開放用MOSトランジスタ制御端子  
 450: フローティングゲートプリチャージ用NMOSTランジスタ  
 451: ニューロンMOSインバータ開放用NMOSTランジスタ  
 452: ニューロンMOSインバータ開放用PMOSTランジスタ  
 470: ラッチ回路  
 701、702、703: 入力端子  
 704: 遅延生成用抵抗  
 705: 波形整形用CMOSインバータ  
 706: XOR  
 707、708: 遅延生成用CMOSインバータ  
 709: 入力端子中に過渡状態の端子の有無を検査する3入力NAND  
 710: 逆相信号生成用CMOSインバータ  
 720、730: ニューロンMOSインバータ開放用トランジスタ制御端子およびラッチ回路中のトランSMissionゲート制御端子。  
 740: 入力電位検出回路  
 750: XOR706の入力端子  
 751: ニューロンMOSインバータ出力端子  
 752: ラッチ回路入力端子  
 5101、5102、5103: 入力端子1、入力端子2、入力端子3  
 5104: フローティングゲート  
 5105: 出力端子

【図4】

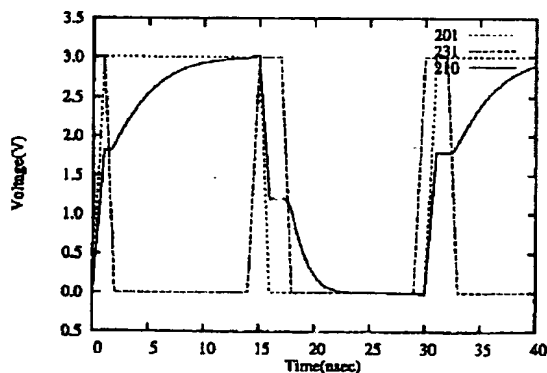


図4

【図5】

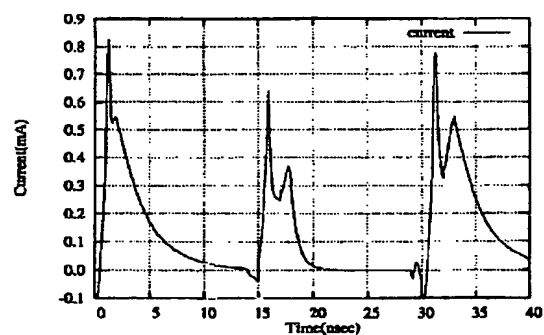


図5



【図1】

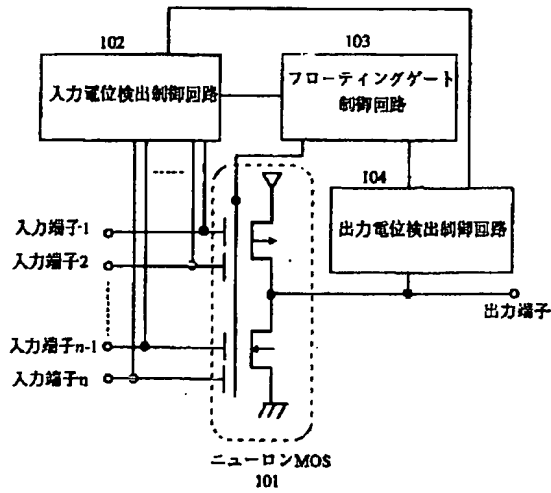


図 1

【図2】

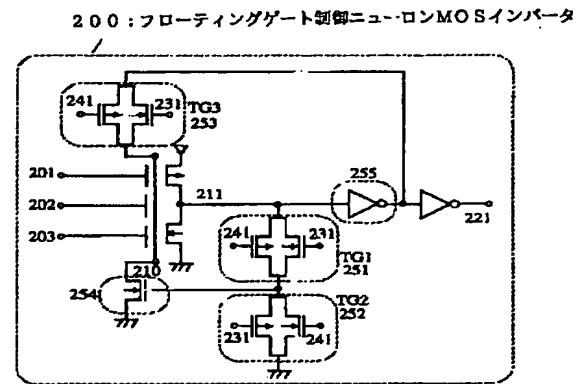


図 2

【図3】

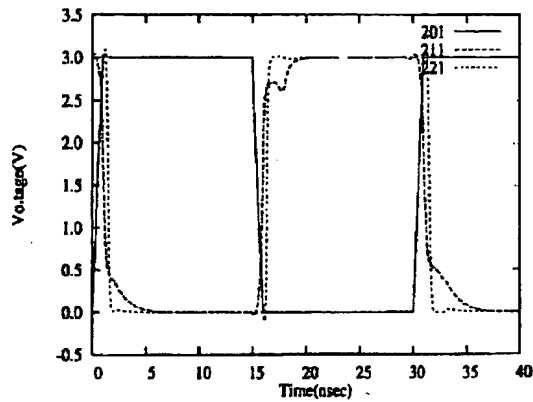


図 3

【図6】

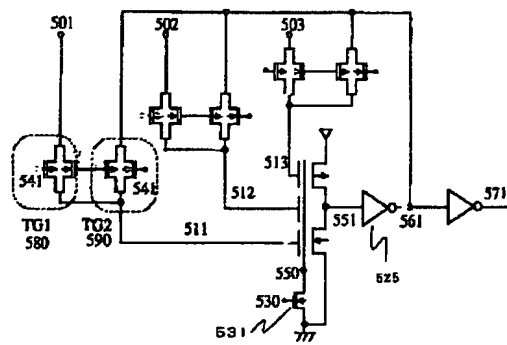


図 6

【図7】

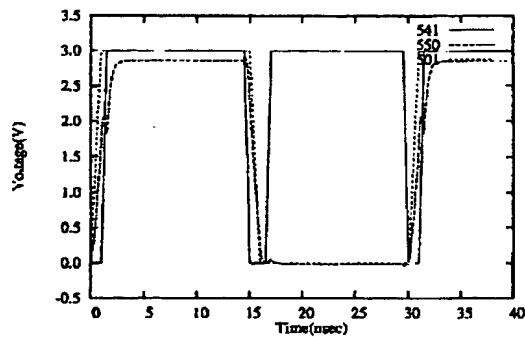


図 7

【図8】

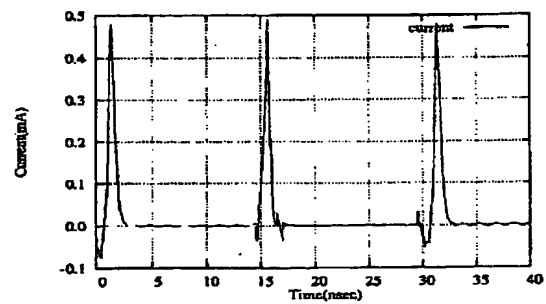


図 8

【図9】

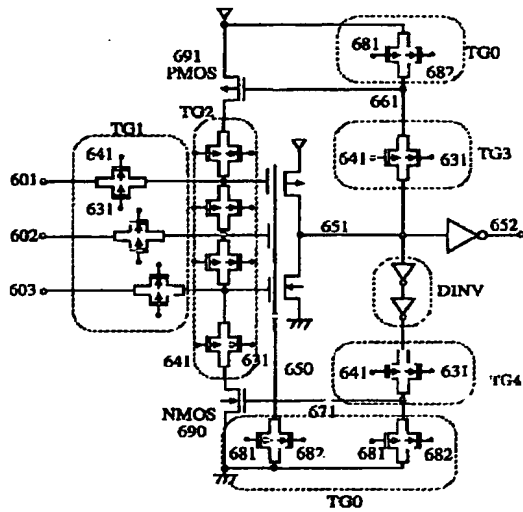


図 9

【図11】

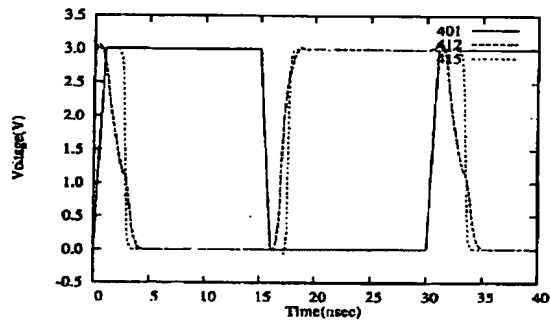


図 11

【図13】

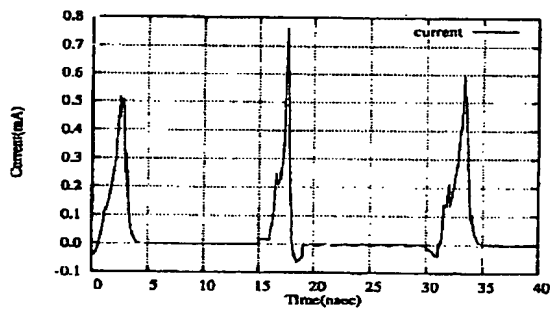


図 13

【図10】

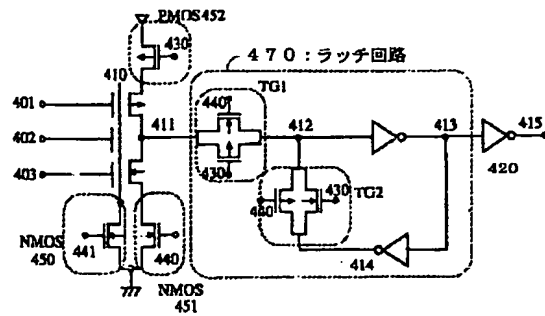


図 10

【図12】

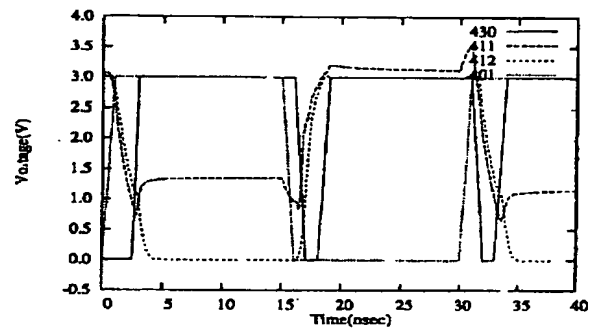


図 12

【図14】

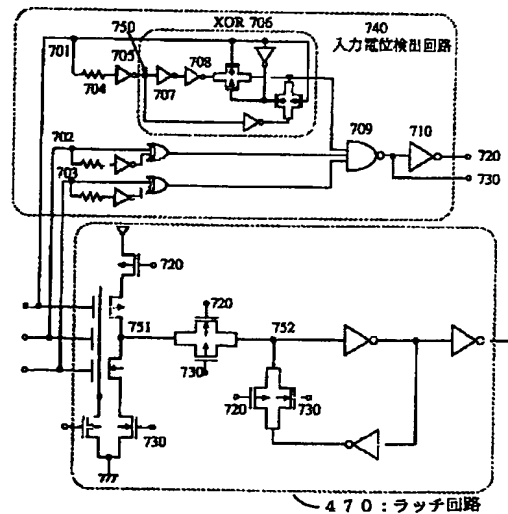
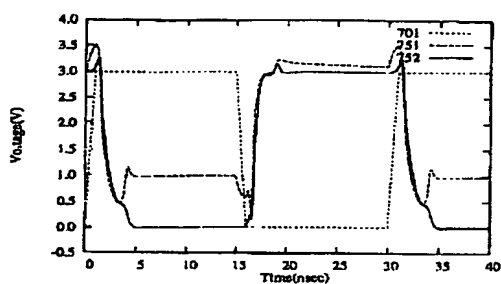


図 14

【図15】



~~1~~ 1 5

【図16】

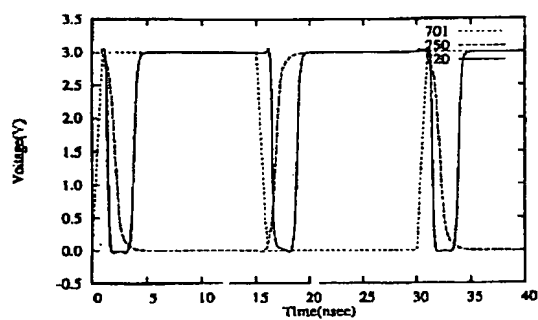
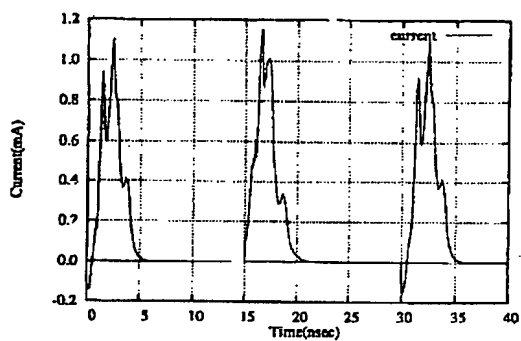


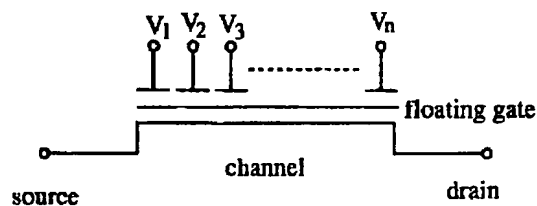
圖 16

【図17】



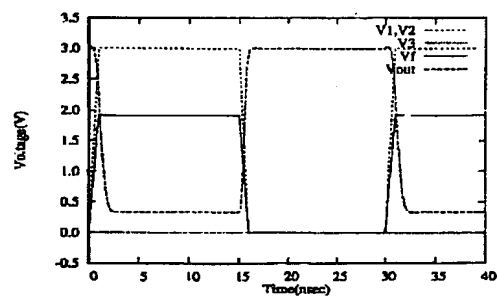
17

【図18】



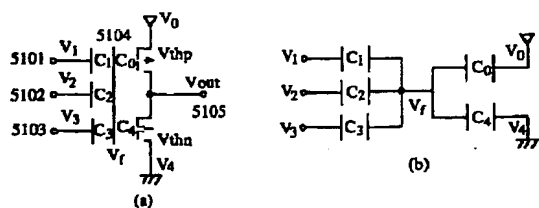
**18**

【図20】



20

【図19】



19

(图 1) 00-349619 (P2000-349619A)

【图 21】

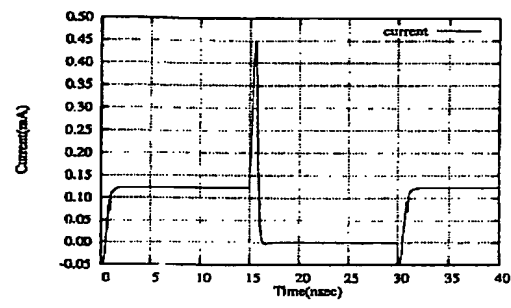


图 21



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-349619

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

H03K 19/0944

(21)Application number : 11-154006

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 01.06.1999

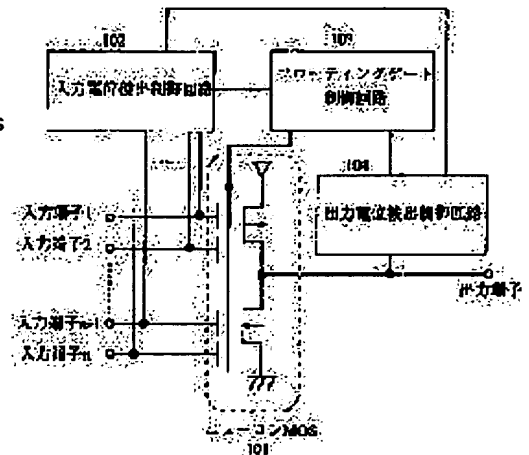
(72)Inventor : AOYAMA KAZUO

## (54) NEURON MOS CIRCUIT OF LOW POWER CONSUMPTION

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the through current that is generated in a static state of a neuron MOS and to attain low consumption of power by controlling the potential of a floating gate of a neuron MOS transistor by means of an input potential detection control circuit, a floating gate control circuit, etc.

**SOLUTION:** An input potential detection control circuit 102 detects an input potential and controls the operating state of a neuron MOS transistor(Tr). An output potential detection control circuit 104 detects the output potential of the neuron MOS Tr and feeds back this detected potential to control the operating state of the neuron MOS Tr. In a MOS circuit including the neuron MOS Tr, the potential of a floating gate of the neuron MOS Tr is controlled via at least one of the circuits 102 and 104 and a floating gate control circuit 103 and the through current flowing to the ground from a power supply is suppressed.



## LEGAL STATUS

[Date of request for examination]

09.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3560849

[Date of registration]

04.06.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The low-power mold neurone MOS circuit characterized by controlling the penetration current of GURANDOHE from the power source produced in the above-mentioned neurone MOS transistor by controlling the potential of the floating gate of the above-mentioned neurone MOS transistor in the MOS circuit containing a neurone MOS transistor using at least one circuit of an input potential detection control circuit, an output potential detection control circuit, and a floating-gate control circuit.

[Claim 2] The low-power mold neurone MOS circuit characterized by having a means to generate the 2nd signal which synchronizes with the 1st signal processed by the neurone MOS transistor instead of an input potential detection control circuit in a floating-gate control circuit according to claim 1, and having a means to operate the above-mentioned floating-gate control circuit, with this 2nd signal and the output signal of an output potential detection control circuit.

[Claim 3] It is the low-power mold neurone MOS circuit characterized by controlling power consumption by incorporating the output state of this neurone MOS transistor to a sequential circuit, transmitting this output state in the MOS circuit containing a neurone MOS transistor, using this output state after the next step, opening the above-mentioned neurone MOS transistor itself from a power source and a gland, and abolishing the path of the above-mentioned penetration current.

[Claim 4] The low-power mold neurone MOS circuit characterized by to have the input terminal change circuit controlled by the output potential detector connected to the output terminal of the circuit which consists of these neurone MOS transistors in the MOS circuit containing a neurone MOS transistor, to have a means to set all the terminals of many input terminals as the same potential with the signal outputted from this input change circuit, and for this to control the above-mentioned penetration current.

[Claim 5] The low-power mold neurone MOS circuit according to claim 3 characterized by forming an input potential detection means to generate the control signal for connecting and opening the power source or gland of the control of operation and the neurone MOS transistor itself which incorporates the output state of this neurone MOS transistor to a sequential circuit, and transmits this output state using this output state in the MOS circuit containing a neurone MOS transistor according to claim 3 after the next step in an input terminal.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the neurone MOS circuit which pointed to especially the low power with respect to the MOS circuit which consisted of neurone MOS transistors.

[0002]

[Description of the Prior Art] The neurone MOS transistor which can perform the sum-of-products operation and threshold logic processing of many input signals with a simple substance device is proposed. As an example, there are reference 1 "Tadashi Shibata and Tadahiro Ohmi, A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations, and IEEE Transactions on Electron Devices, Vo 1.39, No.6, pp.1444-1455, and 1992." The conceptual diagram of the neurone MOS transistor extracted from reference 1 is shown in drawing 18. If the amount of charges induction is carried out [ the amount ] to the floating gate by the sum of the capacity of two or more input gates and the amount of charges which can be found from the product of an electrical potential difference which joins the each reaches a certain value as shown in drawing 18, the gate voltage exceeding the threshold voltage of an MOS transistor will be added, a channel will be formed, and a transistor will be in switch-on. When the case of an NMOS transistor is taken for an example, this principle of operation shows that leakage current generates a neurone MOS transistor in the two modes shown below in the static condition. For the 1st mode, all the many inputs since it is many inputs are low. When it is not level, the electrical potential difference between the floating gate and a channel (it is henceforth called gate voltage) is completely low. It is the mode in which it is not set to level but leakage current, i.e., a penetration current, flows. For the 2nd mode, all the many inputs are low. By not precharging the floating gate beforehand, even when it is level, when it is floating high Since the electrical potential difference of high level is divided with the inverse number of the capacity factor of the capacity sum of the input terminal of level signal, and the capacity between the floating gate and a channel (it is henceforth called gate capacitance) Gate voltage is completely low. It is the mode which is not set to level but leakage current, i.e., a penetration current, generates. Usually, in the electrical-potential-difference field below the threshold voltage of an NMOS transistor, a subthreshold level current flows, the property is 80 mv/decade (change of 0.08v gate voltage changes a single figure current), and the 2nd mode is also known by that it is important for it, when a transistor is integrated. Henceforth, the current which flows in these two modes is collectively called a penetration current.

[0003] Moreover, this neurone MOS transistor is possible also for taking a standard CMOS configuration, and possible also for loading various goods together with a standard CMOS circuit, and constituting some MOS ICs. As an example, the neurone MOS circuit in three inputs with similar structure (it is henceforth called a neurone MOS inverter) is shown in a CMOS inverter at drawing 19 (a). The case where its attention is paid only to the capacity of the neurone MOS inverter of drawing 19 (a) is shown in drawing 19 (b). The floating-gate potential  $V_f$  is [0004] so that it may understand from this circuit diagram.

[Equation 1]



数 1]

$$V_f = \frac{\sum_{i=0}^4 (C_i V_i)}{\sum_{i=0}^4 (C_i)}$$

[0005] It becomes. Usually, VO is power-source potential (Vdd), V4 is ground potential (0), and VO!=V4 is realized. for this reason, what kind of capacity -- be -- it is  $0 < V_f < V_{dd}$  and it turns out that medium potential is taken. As shown in drawing 19 (a), when threshold voltage of an NMOS transistor and a PMOS transistor is respectively set to Vthn and Vthp, in the electrical-potential-difference field of  $0 < V_f < V_{thn}$  and  $V_{dd} + V_{thp} > V_f < V_{dd}$ , a current will flow in the 2nd mode explained previously, and the subthreshold level current of NMOS and a PMOS transistor will flow respectively. Moreover, in the electrical-potential-difference field of  $V_{thn} < V_f < V_{dd} + V_{thp}$ , a current flows in the 1st mode, both an NMOS transistor and a PMOS transistor will be in switch-on simultaneously, and a penetration current will flow. Inputting a time-dependent voltage waveform into input terminals 5101 and 5102 in the circuit of drawing 19 (a) as an example, an input terminal 5103 shows the circuit simulation result at the time of always fixing to ground potential to drawing 20 and drawing 21. Drawing 20 shows that the floating gate takes medium potential. Moreover, since it has preset to 0V beforehand, also in the floating gate, all the potentials of an input terminal are 0V when equal to ground potential. The current wave form which flows out of a power source when the voltage waveform of drawing 20 is inputted into drawing 21 was shown. In the case of a standard CMOS inverter, the current of a spike wave flows only at the time of switching in case a PMOS transistor will be in switch-on, but in the case of this neurone MOS inverter, in a static condition, it turns out that the penetration current is flowing. Especially when [ that the frequency of switching is low or ] clock frequency is low, buildup of power consumption will be caused for this penetration current.

[0006]

[Problem(s) to be Solved by the Invention] In the MOS circuit constituted by the neurone MOS transistor, since actuation of an MOS transistor was controlled by the floating gate, as shown above, in the static condition, the penetration current occurred theoretically, and there was a problem that power consumption increased.

[0007] This invention controls the penetration current generated in the static condition in a neurone MOS circuit, and aims at offering the circuit which realizes low-power-ization.

[0008]

[Means for Solving the Problem] In order to solve the above-mentioned trouble, in this invention, it considered as the following configurations.

[0009] In the MOS circuit which contains a neurone MOS transistor in claim 1 The input potential detection control circuit which detects input potential and controls the operating state of a neurone MOS transistor, And detect the output potential of a neurone MOS transistor and at least one circuit of the output potential detection control circuit for similarly controlling the operating state of a neurone MOS transistor by feeding this back and a floating-gate control circuit is used. The potential of the floating gate of the above-mentioned neurone MOS transistor was controlled, and it considered as the configuration which controls the penetration current of GURANDOHE by this from the power source produced in the above-mentioned neurone MOS transistor.

[0010] An input potential detection control circuit is not used in the floating-gate control circuit indicated to claim 1 in claim 2, but it has a means generate the 2nd signal which synchronizes with the 1st signal processed by the neurone MOS transistor, and is considering as the configuration which controls a penetration current by operating the above-mentioned floating-gate control circuit with this 2nd signal and the output signal of an output potential detection control circuit.

[0011] In claim 3, in the MOS circuit containing a neurone MOS transistor, the output state of this neurone MOS transistor is incorporated to a sequential circuit, this output state is transmitted using this output state after the next step, thereby, the above-mentioned neurone MOS transistor itself is opened from a power source and a gland, and it is taken as the configuration which abolishes the path of the above-mentioned penetration current.

[0012] Furthermore, it has the input terminal change circuit controlled by the output potential detector

connected to the output terminal of the circuit which consists of this neurone MOS transistor in the MOS circuit which contains a neurone MOS transistor in claim 4, and the circuit which sets all the terminals of many input terminals as the same potential with the signal outputted from this input change circuit, and is considering as the configuration which controls the above-mentioned penetration current by this.

[0013]

[Embodiment of the Invention] The basic configuration of the gestalt of operation of this invention can be divided roughly, and can be classified into three. At first, it is the approach of fixing the potential of all two or more input terminals to either power-source potential or ground potential according to the potential of an output terminal first. By this approach, it becomes possible to control the penetration current by generating of switch-on to the coincidence of the NMOS transistor of a neurone MOS circuit, and a PMOS transistor. The 2nd is the approach of fixing the floating gate to either power-source potential or ground potential according to the potential of an output terminal. By this approach, it becomes possible to also control the penetration current controlled by the first approach, and the penetration current by the subthreshold level current which the floating gate generates in the state of the medium potential below the threshold voltage of an NMOS transistor and a PMOS transistor. The 3rd is the approach of incorporating the output potential of a neurone MOS circuit, adjusting and holding potential to either the power-source potential which can constitute the same logic, or ground potential, transmitting the held potential to the circuit after the next step when potential is the medium potential of supply voltage and ground potential, and opening a neurone MOS circuit from a power source to the sequential circuit included in an output potential detection control circuit when it changes into a static condition. By this approach, when an open condition is realized truly, in a static condition, a current does not flow in a neurone MOS circuit, but it becomes possible in it to make power consumption into zero in that period.

[0014] [Gestalt of the 1st operation] Low-power mold 3 input neurone MOS circuit 200 which is the gestalt of operation of the 1st of this invention is shown in drawing 2. When [ both ] it is the transient state from which the potential of input terminals 201, 202, and 203 changes, the NMOS transistor 254 and a transmission gate (it abbreviates to TG henceforth.) TG 3 (253) are made into a cut off state, and the floating gate 210 is changed into the condition of floating. When the potential of input terminals 201, 202, and 203 is fixed and it changes into a static condition, TG1 (251) is made into switch-on, and TG2 (252) is simultaneously made into a cut off state with the opposite phase signal of the signal which controls TG1 (251). In this condition, when the potential of the output terminal 211 of a neurone MOS inverter is high level, the NMOS transistor 254 will be in switch-on, and the floating gate 210 becomes ground potential. On the contrary, the output potential of a neurone MOS inverter is low. When it is level, the NMOS transistor 254 will be in a cut off state, and the floating gate 210 will be in the condition of having been cut from the gland. On the other hand, the potential reversed with the inverter 255 is transmitted to the floating gate 210 by TG3 (253) used as switch-on, and this gate 210 is fixed to high level. Therefore, these feedback is minded in a static condition and the output potential of a neurone MOS inverter is high. When it is level, the potential of the floating gate 210 is low. It is fixed to level and the output potential of a neurone MOS inverter is low. When it is level, the potential of the floating gate 210 is high. It is fixed to level. The floating gate 210 will be fixed to either power-source potential or ground potential in a static condition by this actuation. The result of having verified actuation of this circuit in circuit simulation is shown below. The same signal wave form where it changed between power-source potential and ground potential was inputted into input terminals 201 and 202, and the input terminal 203 was fixed to ground potential. drawing 3 -- an input potential wave -- 201, the potential wave of the output terminal 211 of a neurone MOS inverter, and the potential wave of the output terminal 221 of a buffer are shown. This shows carrying out logic actuation at normal. Input potential wave 201, the control signal wave of TG1 (251), and the potential wave of the floating gate 210 were shown in drawing 4 R> 4. This shows that the floating gate is fixed to power-source potential or ground potential in the static condition. The current wave form consumed in the circuit 200 of drawing 2 was shown in drawing 5 R> 5. It is found that the penetration current in the static condition which showed by drawing 21 is controlled.

[0015] [Gestalt of the 2nd operation] An example of the gestalt of operation of the 2nd of this invention is shown in drawing 6. An input terminal 501 is connected to TG1 (580), and the output terminal 511 of TG1 (580) is connected to the output terminal of TG2 (590) which has the output terminal 561 of CMOS inverter 552 which generates the opposite phase signal of the output terminal 551 of a neurone MOS inverter in an input

terminal. Moreover, TG1 (580) and TG2 (590) are controlled by the opposite phase signal. Structure with the same said of other input terminals 502 and 503 is taken. Moreover, the floating gate 550 is connected to the NMOS transistor 531 controlled by the reset terminal 530 for initial potential setting out. In time of day 0, this NMOS transistor 531 will be in switch-on by the reset signal, always makes it a cut off state at the time of actuation, and opens the floating gate from a gland. In the transient from which the potential of an input terminal 501 changes, TG1 (580) is made into switch-on, TG2 (590) is made into a cut off state, it is similarly operated about other input terminals 502 and 503, and the potential of input terminals 501, 502, and 503 determines the potential in the output terminal 551 of a neurone MOS inverter. When change of input terminal potential is completed and it changes into a static condition, TG1 (580) is made into a cut off state, TG2 (590) is made into switch-on, and the potential of the output terminal 511 of TG1 (580) which is input potential is fixed to the opposite phase potential of the output potential of a neurone MOS inverter. Actuation with the same said of other input terminals 502 and 503 is carried out. In a static condition, all two or more input terminals of a neurone MOS inverter are fixed to the opposite phase potential of the output terminal potential of a neurone MOS inverter by this actuation. The result of having verified actuation of this circuit in circuit simulation is shown below. Drawing 7 inputs 501 of three input terminals, and the same signal wave form where it changes to 502 between power-source potential and ground potential, and shows each potential of the control terminal 541 of the NMOS transistor of TG1 (580), the floating gate 550, and an input terminal 501 by the case where an input terminal 503 is fixed to ground potential. When an input terminal 501 is power-source potential, the floating gate does not become power-source potential thoroughly in the static condition. This is the effectiveness of the floating gate of having explained previously. The current wave form in the electrical-potential-difference condition of drawing 7 is shown in drawing 8. Although it turned out in drawing 7 that the floating gate is not in agreement with power-source potential in a static condition, since this electrical potential difference is below the threshold voltage of a transistor, a penetration current is only the 2nd mode explained previously, and it can be said that the penetration current in the 1st mode is controlled.

[0016] The circuit shown in drawing 9 as that from which the circuit of drawing 6, the feedback circuit which operates by the same principle, and an input terminal control circuit differ can be considered. Since a circuit is initialized, PMOS691, NMOS690, and the three gates of the floating gate 650 are controlled, when it is made switch-on and they make TG0 (671) a cut off state by the initial state at the time of actuation. While the potential of input terminals 601, 602, and 603 is changing, TG1 is made into switch-on, and it makes TG2 a cut off state. The potential of the output terminal 651 of a neurone MOS inverter is decided by this with the potential of two or more input terminals. TG1 is made into a cut off state in a static condition, and TG2 is made into switch-on. TG3 connected to the output terminal 651 of a neurone MOS inverter operates synchronizing with TG2. Moreover, in order that TG4 may operate two CMOS inverters which constitute DINV between TG4 and the neurone MOS inverters which are connected to the gate of the NMOS transistor 690 with a certain time delay to TG3 connected to the PMOS transistor 691, there are. It sets in the static condition and the potential of the output terminal 651 of a neurone MOS inverter is high. All input terminals are low by TG2 connected to the input capacitance of a neurone MOS inverter by the PMOS transistor's 691 being in a cut off state through TG3, and the NMOS transistor 690 being in switch-on when it is level. It is fixed to level. The potential of the output terminal 651 of a neurone MOS inverter is low. When it is level, the PMOS transistor 691 will be in switch-on, the NMOS transistor 690 will be in a cut off state, and all input terminals are high. It is fixed to level. In the static condition, all input terminals will be fixed with the opposite phase potential of the output terminal potential of a neurone MOS inverter by this actuation, and it enables it to control a penetration current.

[0017] [Gestalt of the 3rd operation] An example of the 3rd operation gestalt of this invention is shown in drawing 10. It is a neurone MOS inverter with three input terminals, and the NMOS transistor 451 is connected to the PMOS transistor 452 between the PMOS transistor of a neurone MOS inverter output side, and a power source, and is connected to this appearance between the NMOS transistor of a neurone MOS inverter output side, and the gland. Moreover, the initial potential of the floating gate 410 is controlled by the NMOS transistor 450 which is connected to the floating gate and a gland and has the control terminal 441. In the transient from which an input terminal changes, the PMOS transistor 452 and the NMOS transistor 451 are made into switch-on, and a neurone MOS inverter is operated. At this time, TG2 in which the transmission gate TG 1 by which direct continuation is carried out to the output terminal 411 in the latch circuit 470 connected to the output terminal 411 of a neurone MOS inverter forms switch-on and a feedback loop is made into the cut off state.

When potential change of an input terminal is completed and it will be in a static condition, the PMOS transistor 452 and the NMOS transistor 451 which are connected to the neurone MOS inverter are made into a cut off state, and TG1 of the input part of a latch circuit 470 is also simultaneously made into a cut off state. The potential of the output terminal 411 of the neurone MOS inverter at this time is held at a latch circuit 470, and it is shaped in waveform so that it may become either power-source potential or ground potential. The output potential of this latch circuit 470 is outputted to an output terminal 415 by the buffer 420. In a static condition, the neurone MOS inverter is opened from the power source and the gland, will not have a penetration current path, and becomes possible [controlling a penetration current] from this principle of operation. The result of having verified actuation of this circuit in circuit simulation is shown below. 401 of three input terminals and the same signal wave form where it changes to 402 between power-source potential and ground potential are inputted, and an input terminal 403 is fixed to ground potential. The potential wave of an input terminal 401, the terminal 412 in a latch circuit 470, and the buffer output terminal 415 is shown in drawing 11. When the potential of an input terminal 401 is power-source potential, the potential of the terminal 412 which incorporates the potential of the output terminal 411 of a neurone MOS inverter to a feedback loop is ground potential, and it turns out that the potential wave orthopedically operated further from the output terminal 415 of a buffer is outputted normally. The same is said of the case of opposite phase potential. The potential wave of the terminal 430 which controls the PMOS transistor 452 which connects the PMOS transistor of a neurone MOS inverter to a power source, the neurone MOS inverter output terminal 411, the terminal 412 in a latch circuit 470, and an input terminal 401 is shown in drawing 12. The control terminal 430 of the PMOS transistor 452 is low. When it is level, the neurone MOS inverter is operating, and it is high. In level, it is opened from the power source and the gland. The control terminal 430 is high. Although the potential of the neurone MOS inverter output terminal 411 turns into medium potential when it is level, the terminal 412 in a latch circuit 470 becomes the opposite phase potential of the input terminal 401 of a neurone MOS inverter, and it turns out that normal actuation is carried out. The current wave form consumed in the circuit shown in drawing 10 containing a latch circuit is shown in drawing 13. The current is flowing only at the time of the switching which is a transient, and it turns out in the static condition that a penetration current does not exist.

[0018] Although it is the same principle of operation as the circuit of drawing 10, potential change of an input terminal is detected for the timing which opens a neurone MOS inverter from a power source and a gland, and the timing of latch actuation, and the asynchronous circuit which has the circuit which generates a control signal is shown in drawing 14. Circuitry connects the input potential detector 740 to the circuit of drawing 10. actuation of the input potential detector 740 -- an input terminal -- one, 701 is made into an example and explained. An input terminal 701 is branched to two and one of the two is connected to connection and CMOS inverter 705 at the resistance 704 for time delay generation. It cannot be overemphasized that real resistance is structurally sufficient as the resistance 704 for time delay generation, and what was considered as resistance by controlling the gate potential of a transmission gate may be used here. The output terminal 750 of CMOS inverter 705 is connected to pulse forming network XOR circuit 706. Here, things other than the circuit shown by 706 in drawing as an XOR circuit may be used. CMOS inverters 707 and 708 of XOR circuit 706 in drawing are the objects for time delay control. If a signal goes into an input terminal 701, it branches to two, and one side will be changed into an opposite phase signal with a certain time delay, and exclusive-OR processing will be performed with the original signal. When two signals are opposite phases, namely, when an input signal does not change into a certain time delay, the output of XOR circuit 706 is high. When two signals are in phase, namely, when it is set to level, and the input signal is changing into a certain time delay, the output of XOR circuit 706 is low. It is set to level. With other input terminals, same processing is performed and all they are inputted into multi-input NAND circuit 709. If the terminal from which at least one signal is changing among input terminals exists at this time, the output potential of multi-input NAND circuit 709 will be set to high level, and the output of a buffer 710 is low. It is set to level. The output terminal 720 of a buffer 710 and the output terminal 730 before and behind that are connected to the control terminal of the transistor for neurone MOS inverter disconnection (equivalent to the PMOS transistor 452 and the NMOS transistor 451 in drawing 10), and the control terminal of the transmission gate (equivalent to TG1 and TG2 in drawing 10) of a latch circuit. The result of having verified actuation of this circuit in circuit simulation is shown below. 701 of three input terminals and the same signal wave form where it changes to 702 between power-source potential and ground potential are inputted, and 703 is fixed to ground potential. Moreover, in an initial state, the floating gate

of a neurone MOS inverter is set as ground potential by precharge. The potential wave of an input terminal 701, the output terminal 751 of a neurone MOS inverter, and the latch circuit input terminal 752 is shown in drawing 15 . The potential of an input terminal 701 is high. When it is fixed to level and a neurone MOS inverter is opened from a power source and a gland, although fixed to medium potential, for the output terminal 751 of a neurone MOS inverter, the potential of the latch circuit input terminal 752 is low. It turns out that it is changed and fixed to level. Next, it is the output terminal of the input potential detector 740, and the potential wave of 720 which is also the control terminal of a latch circuit is shown in drawing 16 . After the time of day which has the potential of 750 which is also an input terminal 701 and the output terminal of CMOS inverter 705 in a transient to a time delay, the output potential of the output terminal 720 of the input potential detector 740 is high. From level to low It turns out that it changes to level. The consumed-electric-current wave of this whole circuit is shown in drawing 17 . It turns out that the penetration current is controlled in a static condition. [0019]

[Effect of the Invention] As explained to the detail above, according to the low-power mold MOS circuit of this invention, the penetration current which may be generated in the circuit which consisted of neurone MOS transistors can be controlled, and the power consumption of a MOS circuit can be controlled.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DRAWINGS

---

[Drawing 4]

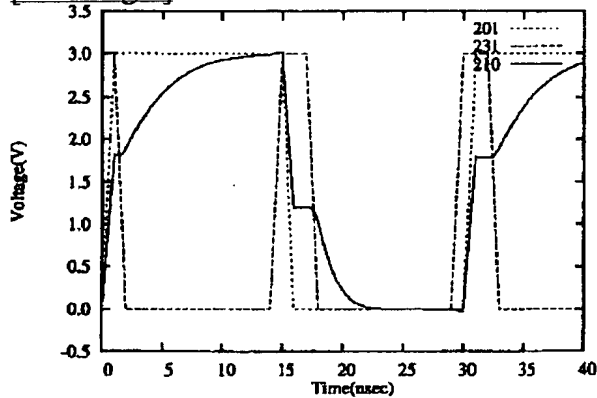


図 4

[Drawing 5]

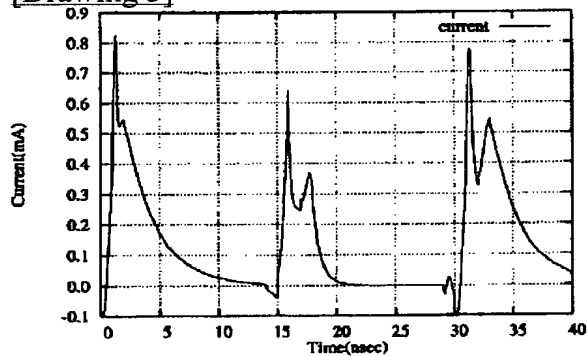


図 5

[Drawing 1]

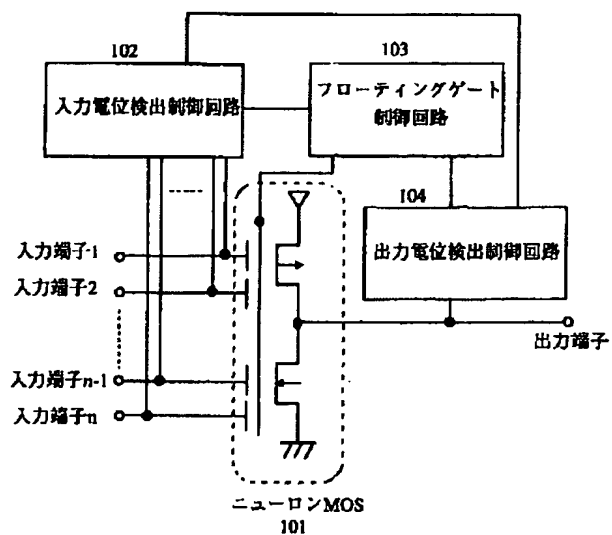


図 1

## [Drawing 2]

200: フローティングゲート制御ニューロンMOSインバータ

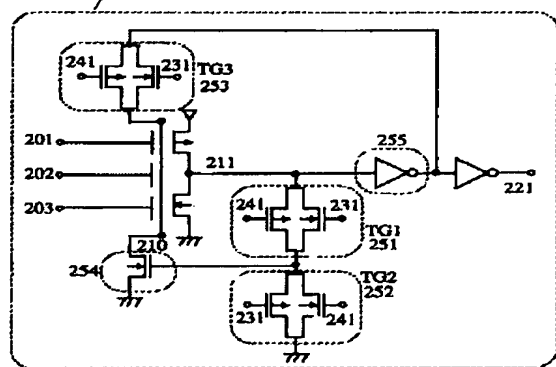


図 2

## [Drawing 3]

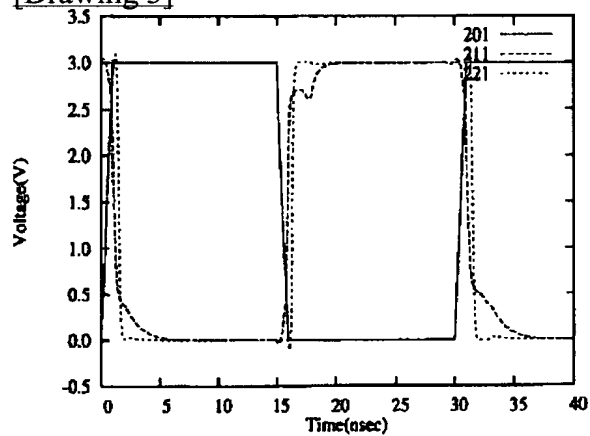


図 3

## [Drawing 6]

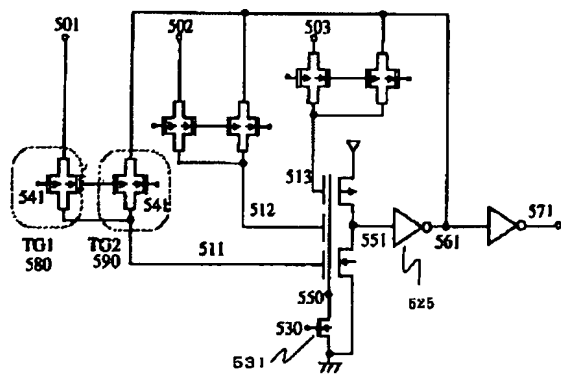


図 6

[Drawing 7]

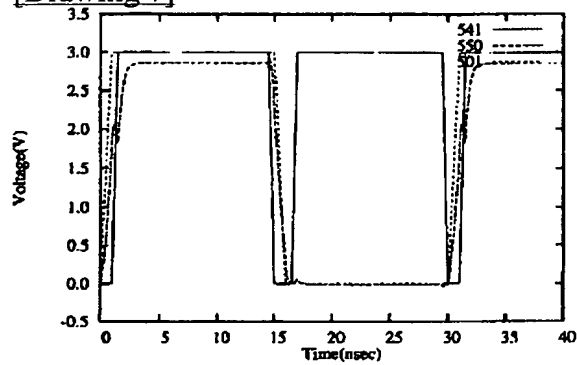


図 7

[Drawing 8]

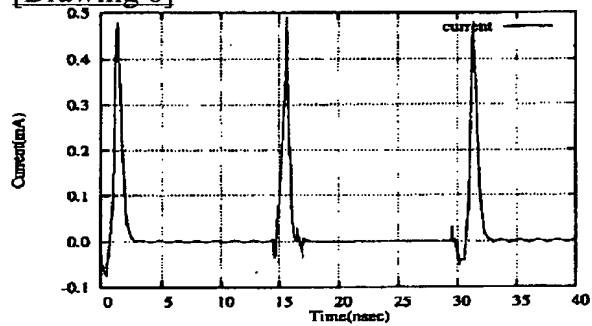


図 8

[Drawing 9]



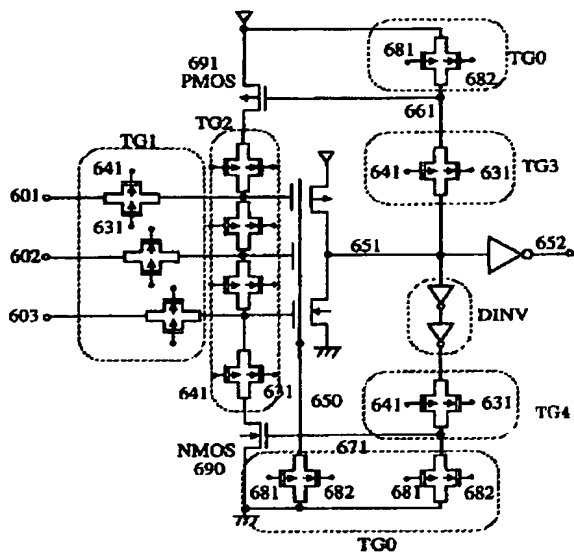


図 9

[Drawing 10]

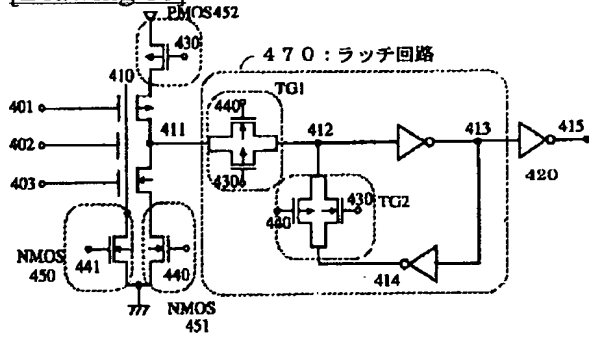


図 10

[Drawing 11]

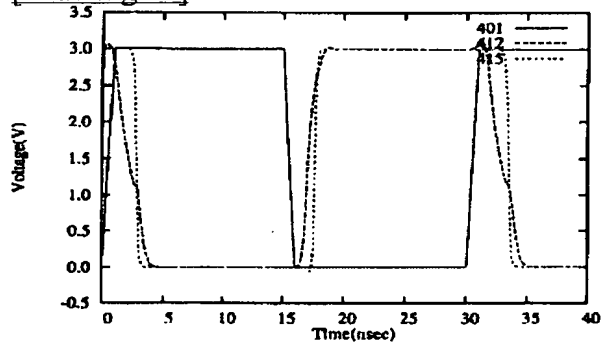


図 11

[Drawing 12]

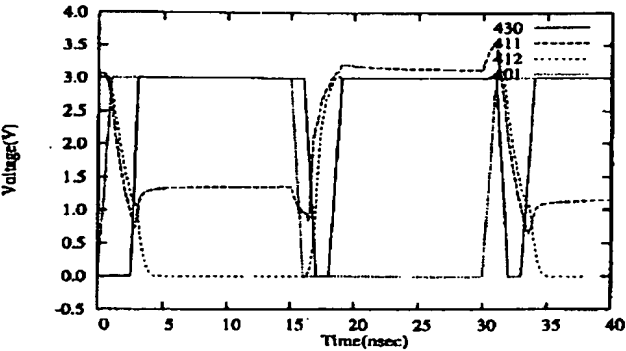


図 1 2

[Drawing 13]

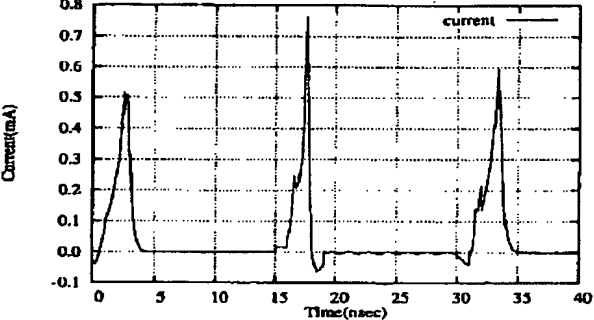


図 1 3

[Drawing 14]

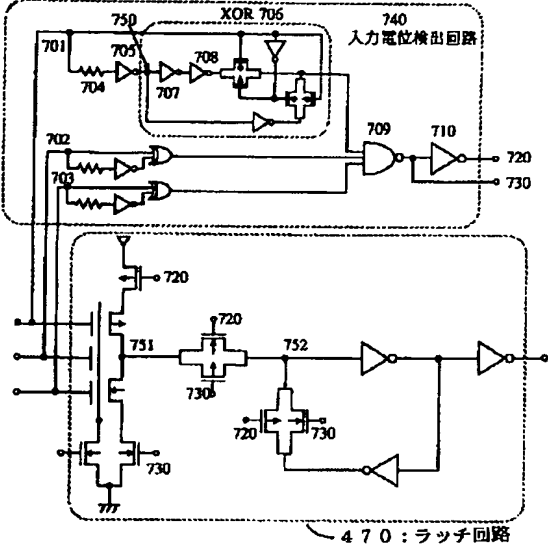


図 1 4

[Drawing 15]

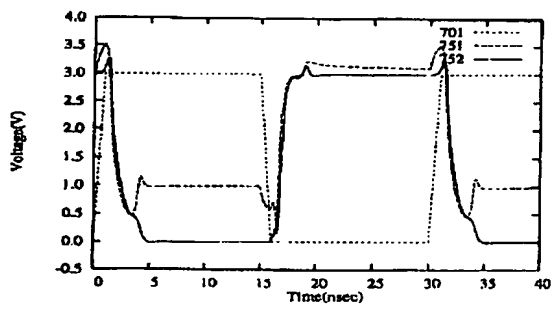


図 1 5

[Drawing 16]

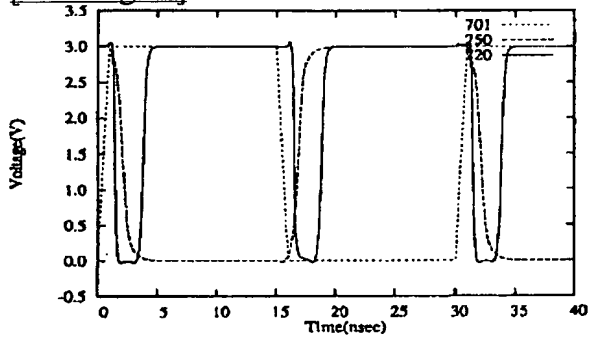


図 1 6

[Drawing 17]

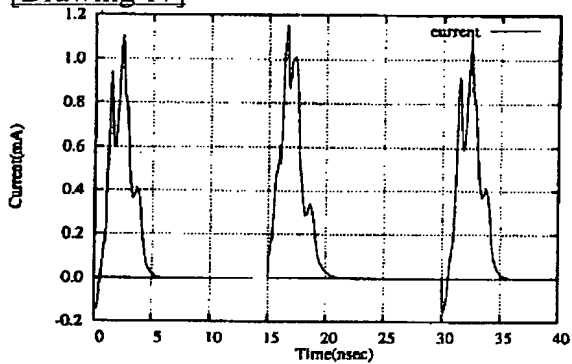


図 1 7

[Drawing 18]

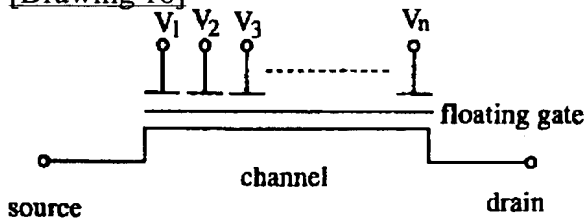


図 1 8

[Drawing 19]

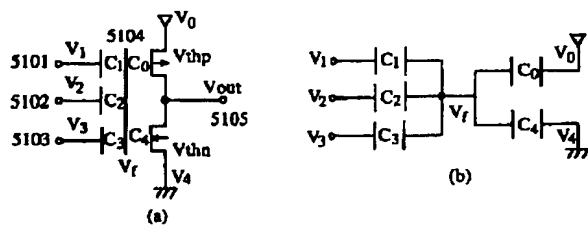


図 1 9

[Drawing 20]

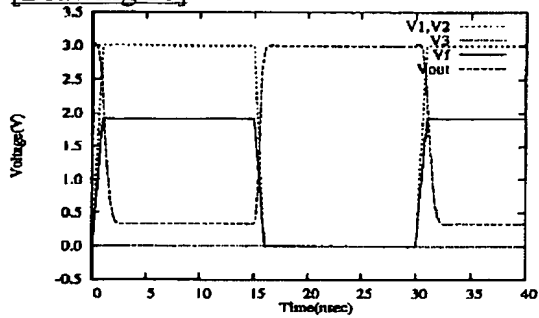


図 2 0

[Drawing 21]

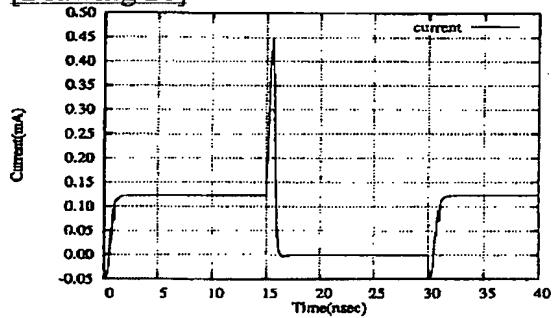


図 2 1

[Translation done.]